

1

【特許請求の範囲】

【請求項1】 データ信号と走査信号をパネルの各画素に伝送するデータドライバとゲートドライバを含むAM E L Dの駆動回路において、

前記データドライバは仮格納された制御信号をラッチするラッチ部と、ラッチした制御信号によって特定のレベルのリファレンス電流をRGB別のデータ信号に出力する複数のデジタル-アナログコンバータとを備えたことを特徴とするAMELDの駆動回路。

【請求項2】 前記デジタル-アナログコンバータは、特定のレベルのリファレンス電流を出力するリファレンス電流出力部と、該リファレンス電流出力部から出力される特定のリファレンス電流を受けて、RGB別にシンク電流のレベルを調節するシンク電流調節部とから構成されることを特徴とする請求項1記載のAMELDの駆動回路。

【請求項3】 前記シンク電流調節部の出力端はデータ配線に接続されたことを特徴とする請求項1記載のAMELDの駆動回路。

【請求項4】 前記リファレンス電流の出力部は複数のリファレンス電流源を複数のスイッチ素子の制御信号によって仮に組み合わせて、特定のレベルのリファレンス電流を出力することを特徴とする請求項2記載のAMELDの駆動回路。

【請求項5】 前記制御信号は入力する映像アナログ信号に相応して変換したデジタル入力信号であることを特徴とする請求項1記載のAMELDの駆動回路。

【請求項6】 前記リファレンス電流源はバイナリウェット方式又はランマコレクション方式中の何れかによって仮に設定されたものであることを特徴とする請求項4記載のAMELDの駆動回路。

【請求項7】 前記スイッチ素子は薄膜トランジスタであることを特徴とする請求項4記載のAMELDの駆動回路。

【請求項8】 前記シンク電流調節部は第1電圧端と、第2電圧端と、前記リファレンス電流出力部の出力端により共通に制御される前記リファレンス電流出力部の出力端と前記第1電圧端との間に接続された第1トランジスタ及び、前記第2電圧端とデータ配線との間に接続される第2トランジスタが成すカレントミラー構造から構成されることを特徴とする請求項2記載のAMELDの駆動回路。

【請求項9】 前記第1電圧端は仮電圧に保持され、第2電圧端はRGB別に特定の電圧を外部から印加されて、RGB別にシンク電流のレベルを調節することを特徴とする請求項8記載のAMELDの駆動回路。

【請求項10】 前記リファレンス電流出力端と第1トランジスタとの間に電流遮断スイッチが更に設けられていることを特徴とする請求項8記載のAMELDの駆動回路。

2

【請求項11】 前記シンク電流の調節部は第1電圧端と、固定抵抗と、前記リファレンス電流出力部の出力端によって共通に制御される前記リファレンス電流出力部の出力端と前記第1電圧端との間で前記固定抵抗と直列に接続された第1トランジスタ及び、前記第1電圧端とデータ配線との間に接続された第2トランジスタが成すカレントミラー構造から構成されることを特徴とする請求項2記載のAMELDの駆動回路。

【請求項12】 前記固定抵抗は前記第1電圧端と前記第1トランジスタとの間に接続され、特定のリファレンス電流下でRGB別にその抵抗値が変化する可変抵抗であることを特徴とする請求項11記載のAMELDの駆動回路。

【請求項13】 前記第1電圧端は一定の電圧に保持されていることを特徴とする請求項11記載のAMELDの駆動回路。

【請求項14】 前記リファレンス電流出力端と第1トランジスタとの間に電流遮断スイッチが更に構成されることを特徴とする請求項11記載のAMELDの駆動回路。

【請求項15】 前記シンク電流調節部は第1電圧端と、固定抵抗と、リファレンス電流出力部の出力端に共通に制御されるリファレンス電流出力部の出力端と前記第1電圧端との間に接続された第1トランジスタ及び、前記第1電圧端とデータ配線との間で前記固定抵抗と直列に接続された第2トランジスタが成すカレントミラー構造から構成されることを特徴とする請求項2記載のAMELDの駆動回路。

【請求項16】 前記第1電圧端は一定の電圧に保持されていることを特徴とする請求項15記載のAMELDの駆動回路。

【請求項17】 前記固定抵抗は前記第1電圧端と前記第2トランジスタとの間に接続され、特定のリファレンス電流下でRGB別にその抵抗値が変化する可変抵抗であることを特徴とする請求項15記載のAMELDの駆動回路。

【請求項18】 前記リファレンス電流の出力端と第1トランジスタとの間に電流遮断スイッチが更に構成されることを特徴とする請求項15記載のAMELDの駆動回路。

【請求項19】 前記シンク電流調節部は第1電圧端と、第1、第2トランジスタと、前記リファレンス電流出力部の出力端に共通に制御される前記リファレンス電流出力部の出力端と前記第1電圧端との間で第1トランジスタと直列に接続された第3トランジスタ及び、前記第1電圧端とデータ配線との間で第2トランジスタと直列に接続された第4トランジスタが成すカレントミラー構造から構成されることを特徴とする請求項2記載のAMELDの駆動回路。

【請求項20】 前記第1トランジスタのゲートと第2

トランジスタのゲートは、共通に V_{bias} に接続されることを特徴とする請求項 19 記載の AMELD の駆動回路。

【請求項 21】 前記第 1 電圧端は RGB 別にシンク電流を調節するために、外部から制御して印加される電圧であることを特徴とする請求項 19 記載の AMELD の駆動回路。

【請求項 22】 前記 V_{bias} は一定に外部から印加される電圧であることを特徴とする請求項 19 記載の AMELD の駆動回路。

【請求項 23】 前記リファレンス電流の出力端と第 1 トランジスタとの間に電流遮断スイッチが更に構成されることを特徴とする請求項 19 記載の AMELD の駆動回路。

【請求項 24】 前記シンク電流調節部は第 1 電圧端と、第 1 トランジスタと、前記第 1 トランジスタのドレインの出力値によって共通に制御されるリファレンス電流出力部の出力端と前記第 1 電圧端との間に接続された第 2 トランジスタ及び、前記第 1 電圧端とデータ配線との間で前記第 1 トランジスタと直列に接続された第 3 トランジスタが成すカレントミラー構造から構成されることを特徴とする請求項 2 記載の AMELD の駆動回路。

【請求項 25】 前記第 1 トランジスタのゲートはリファレンス電流出力部の出力端に接続されることを特徴とする請求項 24 記載の AMELD の駆動回路。

【請求項 26】 前記第 1 電圧端は各 RGB 別に外部から特定の電圧を印加されることを特徴とする請求項 24 記載の AMELD の駆動回路。

【請求項 27】 前記リファレンス電流の出力端と第 1 トランジスタとの間に電流遮断スイッチが更に構成されることを特徴とする請求項 22 記載の AMELD の駆動回路。

【請求項 28】 前記シンク電流調節部は、第 1 電圧端と、前記リファレンス電流出力部の出力端と前記第 1 電圧端との間に直列に接続された可変抵抗及び第 1 トランジスタと、
前記データラインと前記第 1 電圧端との間に直列に接続され、そのゲートが前記可変抵抗と第 1 トランジスタとの間に接続される第 3 トランジスタと、

前記第 3 トランジスタと前記第 1 電圧端との間に直列に接続され、そのゲートが前記第 1 トランジスタのゲートと共通に前記第 3 トランジスタのドレインに接続される第 2 トランジスタと、を含むことを特徴とする請求項 2 記載の AMELD の駆動回路。

【請求項 29】 前記第 1 電圧端は各 R, G, B 別に外部から特定の電圧を印加されることを特徴とする請求項 28 記載の AMELD の駆動回路。

【請求項 30】 前記第 1 トランジスタと第 1 電圧端との間に R, G, B 別に特定の抵抗値で設定された固定抵抗が更に接続されていることを特徴とする請求項 28 記

載の AMELD の駆動回路。

【請求項 31】 前記第 2 トランジスタと第 1 電圧端との間に R, G, B 別に特定の抵抗値で設定された固定抵抗が更に接続されていることを特徴とする請求項 28 記載の AMELD の駆動回路。

【請求項 32】 前記シンク電流調節部は、
第 1、第 2 電圧端と、

前記リファレンス電流出力部の出力端と前記第 1 電圧端との間に直列に接続された可変抵抗、第 1 トランジスタ、及び第 3 トランジスタと、

前記データラインと前記第 2 電圧端との間に直列に接続され、そのゲートが前記第 1 トランジスタのゲートと共通に V_{bias} に接続される第 2 トランジスタと、
前記第 2 トランジスタと前記第 2 電圧端との間に直列に接続され、そのゲートが前記第 3 トランジスタのゲートと共通に前記可変抵抗と第 1 トランジスタとの間に接続される第 4 トランジスタと、を含むことを特徴とする請求項 2 記載の AMELD の駆動回路。

【請求項 33】 前記 V_{bias} は一定に外部から印加される電圧であることを特徴とする請求項 32 記載の AMELD の駆動回路。

【請求項 34】 前記第 1 電圧端は仮電圧に保持され、第 2 電圧端は R, G, B 別に特定の電圧を外部から印加され、R, G, B 別にシンク電流のレベルを調節することを特徴とする請求項 32 記載の AMELD の駆動回路。

【請求項 35】 前記シンク電流調節部は、第 1 電圧端と、前記リファレンス電流出力部の出力端と前記第 1 電圧端との間に直列に接続された可変抵抗、第 1 トランジスタ、及び第 3 トランジスタと、前記データラインと前記第 1 電圧端との間に直列に接続され、そのゲートが前記第 1 トランジスタのゲートと共通に V_{bias} に接続される第 2 トランジスタと、前記第 2 トランジスタと前記第 1 電圧端との間に直列に接続され、そのゲートが前記第 3 トランジスタのゲートと共通に前記可変抵抗と第 1 トランジスタとの間に接続される第 4 トランジスタと、を含むことを特徴とする請求項 2 記載の AMELD の駆動回路。

【請求項 36】 前記第 3 トランジスタと第 1 電圧端との間に R, G, B 別に特定の抵抗値で設定された固定抵抗が更に接続されていることを特徴とする請求項 35 記載の AMELD の駆動回路。

【請求項 37】 前記第 4 トランジスタと第 1 電圧端との間に R, G, B 別に特定の抵抗値で設定された固定抵抗が更に接続されていることを特徴とする請求項 35 記載の AMELD の駆動回路。

【請求項 38】 前記第 1 電圧端は、R, G, B 別にシンク電流を調節するために外部から制御して印加される電圧であることを特徴とする請求項 35 記載の AMELD の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はディスプレイ素子の駆動回路に関し、特に、デジタル信号で駆動可能なアクティブマトリックス電界発光素子（AMELD: Active Matrix Electroluminescence Device）の駆動回路に関する。

【0002】

【従来の技術】前記AMELDは、板状の発光層の両面に電極をマトリックス状に形成された電界発光を用いた発光体であり、大きく画面表示部と駆動回路部とに区分される。AMELDは、広い視野角、高速応答性、高コントラスト、低電圧駆動、低電力消費などの優れた特徴を有しており、薄くて軽く、色感が優れているため、最近の大型化の傾向に対応することができる次世代の平面表示素子である。

【0003】一方、ディスプレイ素子は、カラー表示のような膨大な量の情報を表示するために、白と黒状態の間に幾つかの中間段階を更に有するが、これを実現するためには、液晶に印加される電圧の強度を調節する方法と電流の強度を調節する方法とがある。2つの方法の内、電圧を調節する方法は、電圧によって光透過量に変化する特性を用いて階調を調節するものであって、外部から印加された電圧を調節して、データ電圧による画面の明るさの変化を液晶のしきい値電圧に対するパラメータとして抽出する。ここで、前記しきい値電圧は、電圧を漸増させた場合に透過率の変化が本格的に起こり始める電圧を云い、前記しきい値電圧が大きいと、液晶に印加すべき電圧も大きくなり、結局、電力消費を増加させる要因になり得る。

【0004】さらに、電圧に対する透過度の関係は非線形なので、所望の透過度を得るための電圧調節には困難が伴う。即ち、実際の画像を実現する際には、何段階かの印加電圧によって透過率の階調を制御することになるが、電圧を一定間隔の段階に分ける場合、透過率の非線形性のため、透過率にむらを生じる。つまり、印加電圧を一定刻みの段階にしても、透過率の刻み幅は不均一になるので、繊細な階調表示が難しくなり、結果的に、画像の繊細さが失われる。

【0005】反面、電流の強度に対する透過度の関係は線形性を有するので、電流の調節方法は電圧の調節方法よりはるかに正確且つ容易である。

【0006】以下に、添付の図面を参照して一般的なAMELD駆動回路の構造を概略的に説明する。

【0007】図1は一般的なAMELD駆動回路の構造を示す概略図である。一般的なAMELD駆動回路は、図1に示すように、ディスプレイに電源を供給する電源供給部10と、信号源の外部のマイクで制御部と映像信号をインタフェースするインタフェース部11と、該インタフェース部11を介して伝送された映像信号を格納

するメモリ部12と、該メモリ部12に格納した映像信号を入力され、前記電源供給部10から入力される電源をディスプレイパネル18のデータ信号で出力するソースドライバ15と、ディスプレイパネル18の各画素にデータ信号が印加され得るようにTFTをオンさせる走査信号を出力するゲートドライバ16と、前記ソースドライバ及びゲートドライバに必要な各種のタイミング信号を発生し、制御するタイミング制御部17とから構成されている。前記信号源としてはコンピュータや動画像ディスプレイのためのレーザディスクプレイヤーなどがある。

【0008】

【発明が解決しようとする課題】本発明は電流駆動用ICで集積化が可能であり、nビットのデジタル信号を受けて、各RGBチャネル別の出力電流値の調節の可能なAMELDの駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明のAMELDの駆動回路は、データ信号と走査信号をパネルの各画素に伝送するデータドライバとゲートドライバを含むAMELDの駆動回路において、前記データドライバは仮格納された制御信号をラッチするラッチ部と、ラッチした制御信号によって特定のレベルのリファレンス電流をRGB別のデータ信号に出力する複数のデジタル-アナログコンバータとを備えて構成されることを特徴とする。

【0010】即ち、n個の基準電流値を仮に選定して、nビットのデジタル入力信号に従って選択/非選択して所望のグレーを表現し、電圧が一定に保持された電圧端と各RGBチャネル別に電圧が変化する電圧端を備えて各カラー別の出力電流値を調節することを技術的特徴としている。

【0011】

【発明の実施の形態】以下、本発明の実施形態によるAMELDの駆動回路を添付の図面に沿って詳細に説明する。

【0012】図2は一般的なAMELDのデータドライバの構成図である。図2を参考にしてAMELDのデータドライバに対して説明すると、データクロック(Data Clock)により外部から入力されたRGBのデジタル信号を仮に格納するシフトレジスタ部と、前記シフトレジスタ部から印加されたRGBのデジタル信号を制御信号によりラッチするラッチ部と、前記ラッチ部からラッチしたRGBのデジタル信号(D₁~D_n)を受けて、RGBのアナログ信号に変換させるデジタル-アナログコンバータ(以下、DAC)部から構成されている。この場合、前記DAC部は複数の電流DACから構成され、それぞれの電流DACはリファレンスブロックからのリファレンス電流源(I₁~I_n)を複数のスイッチ素子の制御信号にして、前記RGBのデジタル信号

($D_1 \sim D_n$) を仮に組み合わせて特定のレベルの電流を出力することにより、各画素に接続されるデータラインに特定のシンク電流を送り出す。

【0013】第1、第2実施形態

図3は本発明の第1実施形態による駆動回路図であり、図4は本発明の第2実施形態による駆動回路図である。本発明の第1実施形態によるAMELDの駆動回路は複数のリファレンス電流源(I_1, I_2, \dots, I_n)を仮に組み合わせて特定のレベルのリファレンス電流を出力するリファレンス電流出力部Iと、リファレンス電流出力部から出力される特定のレベルのリファレンス電流を受けてシンク電流のレベルを調整するシンク電流調節部(II)とから構成されている。この場合、前記リファレンス電流出力部(I)は入力端にそれぞれ互いに異なるレベルの電流(I_1, I_2, \dots, I_n)が印加され、その出力端は共通に接続され制御信号(D_1, D_2, \dots, D_n)によってその出力レベルが決定される複数のスイッチ素子から構成されている。ここで、前記スイッチ素子は薄膜トランジスタである。

【0014】つぎに、前記シンク電流調節部(II)は第1、第2電圧端(V_1, V_2)と、カレントミラー型を成す多数のトランジスタとから構成されている。前記トランジスタには前記リファレンス電流出力部(I)の出力端と第1電圧端(V_1)との間に接続された第1トランジスタ(T_1)と、第2電圧端(V_2)とデータラインに接続される第2トランジスタ(T_2)があり、前記第1トランジスタ(T_1)のゲートと第2トランジスタ(T_2)のゲートは共通に前記リファレンス電流の出力端と接続される。

【0015】前記デジタル駆動回路で第1電圧端

(V_1)は一定に保持された電圧の一例として主に接地電圧を用いることができるが、ポジティブ電圧又はネガティブ電圧を用いることもできる。つぎに、第2電圧端(V_2)はRGB別に他のレベルの特定の電圧を印加するが、このような方法で電圧レベルを調節すると、シンク電流のレベルが増加又は減少することにより、データライン(D/L)に特定の電圧レベルが伝達される。ここで、基準電流 $I_1, I_2, \dots, I_{n-1}, I_n$ のレベルは仮に設定可能であり、最も簡単な例としてバイナリウェイトを与える。即ち、「 $I_n = 2 I_{n-1} = 2^2 I_{n-2} \dots = 2^{n-2} I_2 = 2^{n-1} I_1$ 」式を満足するように電流のレベルを設定する。その他にランマコレクション(ramma correction)でリファレンス電流のレベルを設定することも可能である。制御信号の D_1, D_2, \dots, D_n は入力されるアナログ信号に対して変換されたnビットを構成するデジタル入力信号である。

【0016】一方、第2実施形態は、図4に示すように、前記第1実施形態におけるリファレンス電流出力端

(I)と第1トランジスタ(T_1)の入力端との間に電流遮断スイッチ(S_1)を更に設けることを特徴とする。

【0017】第3、第4実施形態

図5は本発明の第3実施形態による駆動回路図であり、図6は本発明の第4実施形態による駆動回路図である。本発明の第3実施形態によるAMELD駆動回路図もリファレンス電流出力部(I)とシンク電流調節部(II)とから構成されている。前記リファレンス電流出力部(I)は入力端にそれぞれ互いに異なるレベルの電流(I_1, I_2, \dots, I_n)が印加され、その出力端は共通に接続され、制御信号(D_1, D_2, \dots, D_n)によってその出力レベルが決定される複数のスイッチ素子から構成されている。ここで、前記スイッチ素子は薄膜トランジスタである。

【0018】前記シンク電流調節部(II)は第1電圧端と、前記リファレンス電流出力部の出両端と前記第1電圧端(V_1)との間に直列に接続された第1トランジスタ(T_1)と固定抵抗(R_s)と、前記第1電圧端(V_1)とデータライン(D/L)との間に接続された第2トランジスタとから構成され、前記第1トランジスタと第2トランジスタのゲートは共通に前記リファレンス電流出力端と接続されている。

【0019】より詳細に説明すると、前記複数の制御信号、即ち、デジタル入力信号(D_1, D_2, \dots, D_n)によってリファレンス電流源(I_1, I_2, \dots, I_n)のレベルが選択的に制御、組み合わせられて前記リファレンス電流出力部に出力される特定のレベルのリファレンス電流が第1、第2トランジスタのゲートに入力され、第1電圧端から印加される電圧を制御して、データラインから流れ込むシンク電流値を調節する。この場合、前記第1電圧端から印加される電圧は接地電圧、ポジティブ電圧又はネガティブ電圧のうち何れかから設定する。

【0020】固定抵抗はR、G、B別に違うレベルの電圧に設定して各R、G、Bチャネルを駆動する。即ち、リファレンス電流出力部(I)から出力される同一な特定レベルのリファレンス電流で各カラー別の出力シンク電流値を調節できるので、AMELD駆動回路の集積化が可能である。以上で前記リファレンス電流源のレベルは仮設定し、例えば、「 $I_n = 2 I_{n-1} = \dots = 2^{n-2} I_2 = 2^{n-1} I_1$ 」式を満足するように定められる。

【0021】一方、第4実施形態は、図6に示すように、前記第3実施形態におけるリファレンス電流出力端(I)と第1トランジスタ(T_1)の入力端との間に電流遮断スイッチ(S_1)を更に設けることを特徴とする。

【0022】第5、第8実施形態

図7は本発明の第5実施形態による駆動回路図である。

本発明の第5実施形態によるAMELD駆動回路図もリファレンス電流出力部(1)とシンク電流調節部(11)とから構成されている。前記リファレンス電流出力部(1)は入力端にそれぞれ互いに違うレベルのリファレンス電流(I_1, I_2, \dots, I_n)が印加され、その出力端は共通に接続され、制御信号(D_1, D_2, \dots, D_n)によってその出力レベルが決定される複数のスイッチ素子から構成されている。ここで、前記スイッチ素子は薄膜トランジスタである。

【0023】前記シンク電流調節部(11)は第1電圧端(V_1)と、前記リファレンス電流出力部の出力端と前記第1電圧端(V_1)との間に直列に接続された可変抵抗(R_r)、第1トランジスタ(T_1)、及び固定抵抗(R_s)と、前記第1電圧端(V_1)とデータライン(D/L)との間に接続された第2トランジスタ(T_2)及び第3トランジスタ(T_3)とから構成され、前記第3トランジスタのゲートは、前記可変抵抗(R_r)と第1トランジスタのドレインが接続された第1ノード(N_1)との間に接続され、前記第1、第2トランジスタのゲートは、第2トランジスタのソースと第3トランジスタのドレインが接続された第2ノード(N_2)に共通に接続される。

【0024】前記可変抵抗(R_r)はリファレンス電流出力部からデータ電圧が印加されるときパネル内に全てのTFTが同一な特性を有し得るようにその抵抗値が調整される。

【0025】前記第1、第3トランジスタはカレントリピーター(current repeater)を構成して、データライン(D/L)から第1電圧端の側に流れる電流量が第1ノードに供給される電流量に従って変化する。すなわち、データラインから第3、第2トランジスタを経由して、第1電圧端の側に流れる逆方向電流がリファレンス電流出力部の電圧に従って変化する。

【0026】前記第1、第2トランジスタはカレントミラーを形成するため、データラインから第1電圧端の側に供給される電流量は第3トランジスタに流れる電流量により定められる。

【0027】前記固定抵抗の抵抗値はR、G、Bによって異なるように設定される。すなわち、同一な画素電圧が印加されたとき、データラインから第1電圧端の側に流れる電流量は固定抵抗の抵抗値により定められる。

【0028】かかる固定抵抗は第8実施形態を示す図10のように、第2トランジスタと第1電圧端との間に接続することもできる。前記固定抵抗により、第1、第2トランジスタのゲートに入力され、第1電圧端から印加される電圧を制御して、データラインから流れるシンク電流値を調節する。この場合、前記第1電圧端に印加される電圧は接地電圧、ポジティブ電圧又はネガティブ電圧のうち何れかから設定される。すなわち、リファレンス電流出力部(1)から出力される同一な特定のレベル

のリファレンス電流で各カラー別の出力シンク電流値を調節できるので、AMELD駆動回路の集積化が可能である。また、可変抵抗値を調節して全体パネルの明るさを調節することができる。

【0029】第6、第7実施形態

図8は本発明の第6実施形態による駆動回路図であり、図9は本発明の第7実施形態による駆動回路図である。本発明の実施形態によるAMELDは、図8に示すように、複数のリファレンス電流源を仮に組み合わせて特定のレベルのリファレンス電流を出力するリファレンス電流出力部(1)と、そのリファレンス電流出力部(1)から出力されるリファレンス電流を受けてシンク電流のレベルを調整するシンク電流調節部(11)とから構成されている。前記リファレンス電流出力部(1)は、入力端にそれぞれ互いに異なるレベルのリファレンス電流(I_1, I_2, \dots, I_n)が印加され、その出力端が共通に接続されてnビットの制御信号(D_1, D_2, \dots, D_n)によってその出力レベルが決定される複数のスイッチ素子から構成されている。ここで、前記スイッチ素子は薄膜トランジスタである。

【0030】前記シンク電流調節部(11)は第1電圧端(V_1)と、固定抵抗(R_s)と、前記リファレンス電流出力部(1)の出力端と前記第1電圧端(V_1)との間に接続された第1トランジスタ(T_1)及び前記固定抵抗(R_s)と直列に接続され、データラインと前記第1電圧端(V_1)に接続された第2トランジスタ(T_2)を含むカレントミラー構造から構成されている。但し、前記第1トランジスタ(T_1)と第2トランジスタ(T_2)のゲートは共通に前記リファレンス電流出力部の出力端と接続される。

【0031】前記固定抵抗(R_s)は第1電圧端(V_1)と直接に接続されるが、前記第1電圧端(V_1)を一定の電圧で固定させ、各RGB別に抵抗値が変化する固定抵抗(R_s)を使用して、各RGBチャネル別の出力シンク電流を調節する。

【0032】つぎに、前記リファレンス電流出力部(1)からnビットの制御信号(D_1, D_2, \dots, D_n)によってn個のリファレンス電流源が選択又は非選択され、リファレンス電流出力部から統合的に出力されるので、R、G、Bの間の所望の中間階調を表現することができる。例えば、6ビットの駆動回路を使用すると64階調を作ることができる。フルカラーを要求するモニターでは256階調になると1600万色以上が実現可能である。

【0033】一方、第7実施形態は、図9に示すように、前記第6実施形態におけるリファレンス電流出力端(1)と第1トランジスタ(T_1)の入力端との間に電流遮断スイッチ(S_1)を更に設けたことを特徴とする。

【0034】第9、第10、第11、第12、第13実

実施形態

図 11 は本発明の第 9 実施形態による駆動回路図であり、図 12 は本発明の第 10 実施形態による駆動回路図である。本発明の実施形態による AMELD は、図 11 に示すように、特定のレベルのリファレンス電流を出力するリファレンス電流出力部 (I) と、シンク電流のレベルを調整するシンク電流調節部 (II) とから構成されている。前記リファレンス電流出力部 (I) は、入力端にそれぞれ互いに異なるレベルのリファレンス電流 (I_1, I_2, \dots, I_n) が印加され、その出力端が共通に接続されて n ビットの制御信号 (D_1, D_2, \dots, D_n) によってリファレンス電流が組み合わされ特定の出力レベルが決定される n 個のスイッチ素子から構成されている。この場合、前記スイッチ素子は薄膜トランジスタである。

【0035】前記シンク電流調節部 (II) は第 1 電圧端 (V_1) と、第 1, 第 2 トランジスタ (T_1, T_2) と、前記リファレンス電流出力部 (I) の出力端と前記第 1 電圧端 (V_1) との間に直列に接続された第 1, 第 3 トランジスタ (T_1, T_3) 及び前記第 1 電圧端 (V_1) とデータラインとの間に直列に接続される第 2, 第 4 トランジスタ (T_2, T_4) から構成され、前記第 3 トランジスタと第 4 トランジスタのゲートは共通に前記リファレンス電流出力部 (I) の出力端の第 1 ノード (N_1) に接続され、前記第 1 トランジスタのゲートと第 2 トランジスタのゲートは外部から一定の電圧で制御する特定の電圧 V_{bias} に共通に接続される。前記 V_{bias} は通常 3.3 V にする。前記第 1 電圧端は RGB 別に出力されるシンク電流のレベルを調節するために外部から制御して印加する電圧である。

【0036】一方、第 10 実施形態は、図 12 に示すように、前記第 9 実施形態におけるリファレンス電流出力端 (I) と第 1 ノード (N_1) との間に電流遮断スイッチ (S_1) を更に設けたことを特徴とする。

【0037】第 11 実施形態は、図 13 に示すように、前記第 9 実施形態におけるリファレンス電流出力端 (I) と第 1 ノード (N_1) との間に可変抵抗 (R_r) を更に設け、第 3, 第 4 トランジスタに共通に接続された第 1 電圧端を分割して第 3 トランジスタには第 1 電圧端を接続し、第 4 トランジスタには第 2 電圧端を接続する。ここで、前記第 1 電圧端 (V_1) は一定の固定値として主に接地電圧を用いるが、ポジティブ電圧又はネガティブ電圧を用いることもでき、前記第 2 電圧端 (V_2) は RGB 別に違うレベルの特定の電圧を印加するが、このような方法で電圧レベルを調節すると、シンク電流 (I_{sink}) のレベルが増加又は減少することによりデータラインに特定の電圧レベルが伝達される。

【0038】第 12 実施形態は、図 14 に示すように、前記第 9 実施形態におけるリファレンス電流出力端 (I) と第 1 ノード (N_1) との間に可変抵抗 (R_r)

を更に設け、第 3 トランジスタ (T_3) と第 1 電圧端 (V_1) との間に固定抵抗 (R_s) を更に設けた。ここで、固定抵抗の抵抗値は R, G, B により異なるように設定される。すなわち、同一な画素電圧が印加されたとき、データラインから第 1 電圧端の側に流れる電流量は固定抵抗の抵抗値により決定される。これにより同一なデジタル入力信号を各カラー別のシンク電流値で調節することができる。

【0039】前記第 12 実施形態における固定抵抗は第 13 実施形態を示す図 15 のように、第 4 トランジスタと第 1 電圧端との間に接続することもできる。

【0040】第 14, 第 15 実施形態

図 16 は本発明の第 14 実施形態による駆動回路図であり、図 17 は本発明の第 15 実施形態による駆動回路図である。本発明の実施形態による AMELD は、図 14 に示すように、リファレンス電流出力部 (I) と、リファレンス電流出力部から出力されるリファレンス電流を受けてシンク電流のレベルを調整するシンク電流調節部 (II) とから構成されている。

【0041】前記リファレンス電流出力部 (I) は、入力端にそれぞれ互いに異なるレベルの n 個のリファレンス電流 (I_1, I_2, \dots, I_n) が印加され、その出力端が共通に接続されて制御信号 (D_1, D_2, \dots, D_n) によって前記リファレンス電流が組み合わされ出力レベルが決定される n 個のスイッチ素子から構成されている。ここで、前記スイッチ素子は薄膜トランジスタである。

【0042】前記シンク電流調節部 (II) は第 1 電圧端 (V_1) と、データラインと接続された第 1 トランジスタ (T_1) と、前記リファレンス電流出力部 (I) の出力端と前記第 1 電圧端 (V_1) との間に接続された第 2 トランジスタ (T_2) と、前記第 1 電圧端 (V_1) とデータラインとの間に直列に接続される第 1, 第 3 トランジスタ (T_1, T_3) とから構成され、前記第 2 トランジスタ (T_2) と第 3 トランジスタ (T_3) のゲートは共通に第 1 トランジスタ (T_1) のドレインと接続され、前記第 1 トランジスタのゲートはリファレンス電流出力部 (I) の出力端と第 1 トランジスタ (T_1) の入力端との間の第 1 ノード (N_1) に接続される。

【0043】前記構造で、同一なデジタル入力信号下で第 1 電圧端に RGB 別に互いに異なる電圧を印加することだけで各 RGB 別のシンク電流値を調節できるので、電流駆動用 IC で集積化が可能となる。

【0044】一方、第 15 実施形態は、図 17 に示すように、前記第 14 実施形態におけるリファレンス電流出力端 (I) と第 1 ノード (N_1) との間に電流遮断スイッチ (S_1) を更に設けたことを特徴とする。

【0045】以上の第 2, 4, 7, 10, 15 実施形態における電流遮断スイッチ (S_1) はリファレンス電流出力部 (I) とシンク電流調節部 (II) とを電氣的に

13

分離するために構成したもので、 D_1 , D_2 , ..., D_n の制御信号によってスイッチ素子がオン又はオフ時に発生するノイズを減少させ、電流の消費を防止するためのものである(図4, 6, 9, 12, 17参照)。

【0046】ところが、本発明で n ビットのデジタル入力信号、即ち、制御信号によってスイッチ素子(S_1)がオン又はオフ時に生じるスイッチノイズは極く小さいので、これを無視した構造も可能である。前記スイッチ素子無視した構造を説明したのが第1, 3, 6, 9, 14実施形態である。

【0047】

【発明の効果】以上説明したように、本発明によるAMELDの駆動回路によれば、同一なデジタル入力信号で各RGB別に駆動が可能なので、電流駆動用ドライバICで集積化が可能である。また、デジタル入力信号がオン又はオフする時に発生するノイズが小さいので、スイッチノイズ減少のために導入されるスイッチ素子を排除することが可能である。

【図面の簡単な説明】

【図1】 一般的なAMELD駆動回路の構造を示す概略図である。

【図2】 一般的なAMELDのデータ駆動回路の構成図である。

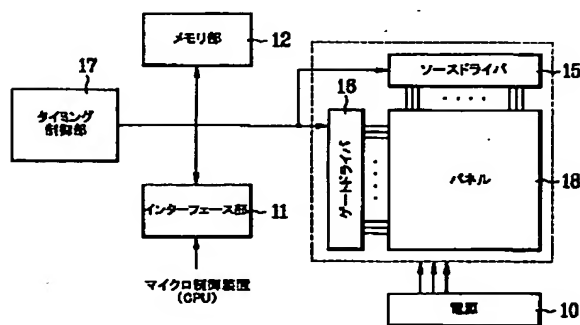
【図3】 本発明の第1実施形態による駆動回路図である。

【図4】 本発明の第2実施形態による駆動回路図である。

【図5】 本発明の第3実施形態による駆動回路図である。

【図6】 本発明の第4実施形態による駆動回路図である。

【図1】



14

【図7】 本発明の第5実施形態による駆動回路図である。

【図8】 本発明の第6実施形態による駆動回路図である。

【図9】 本発明の第7実施形態による駆動回路図である。

【図10】 本発明の第8実施形態による駆動回路図である。

【図11】 本発明の第9実施形態による駆動回路図である。

【図12】 本発明の第10実施形態による駆動回路図である。

【図13】 本発明の第11実施形態による駆動回路図である。

【図14】 本発明の第12実施形態による駆動回路図である。

【図15】 本発明の第13実施形態による駆動回路図である。

【図16】 本発明の第14実施形態による駆動回路図である。

【図17】 本発明の第15実施形態による駆動回路図である。

【符号の説明】

I_1, I_2, \dots, I_n : リファレンス電流源

D_1, D_2, \dots, D_n : デジタル入力信号

V_1, V_2 : 第1, 第2電圧端

R_s : 固定抵抗

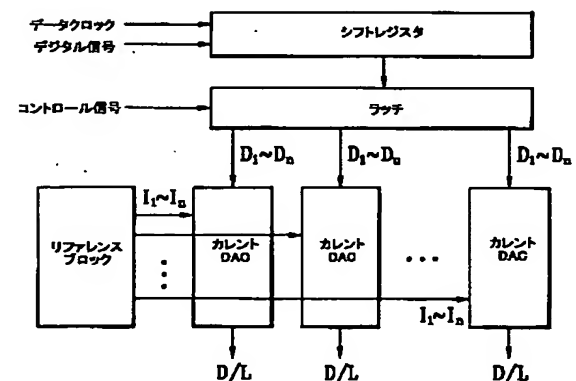
R_r : 可変抵抗

S_1 : 電流遮断スイッチ

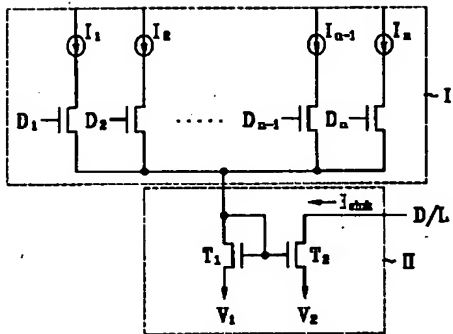
I_{sink} : シンク電流

T_1, T_2 : 第1, 第2トランジスタ

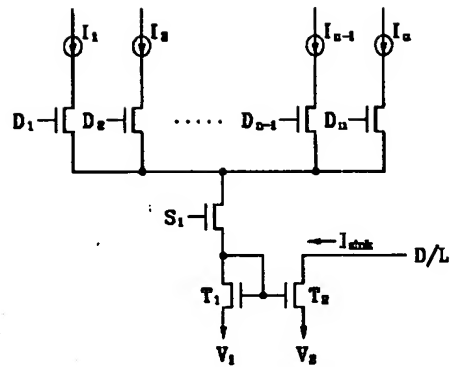
【図2】



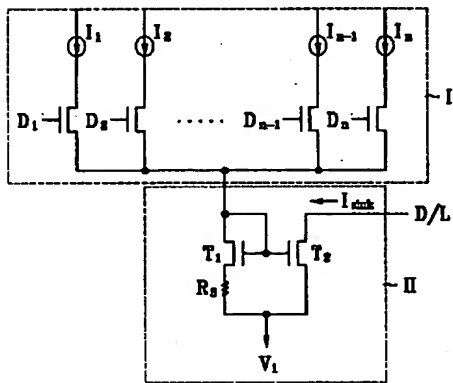
【図 3】



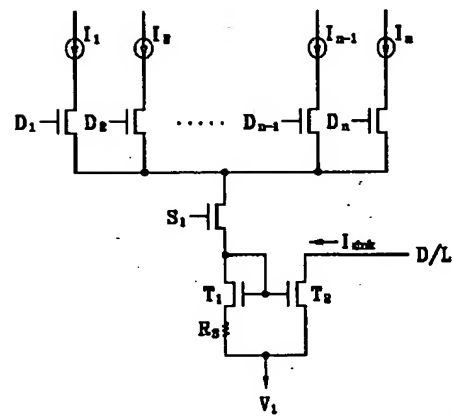
【図 4】



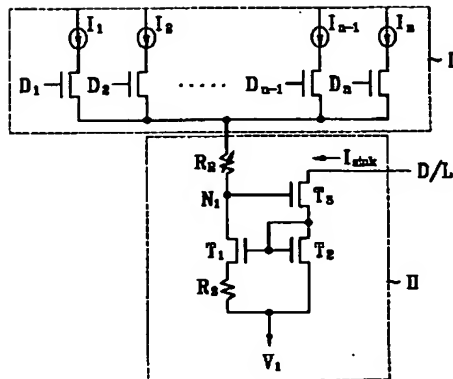
【図 5】



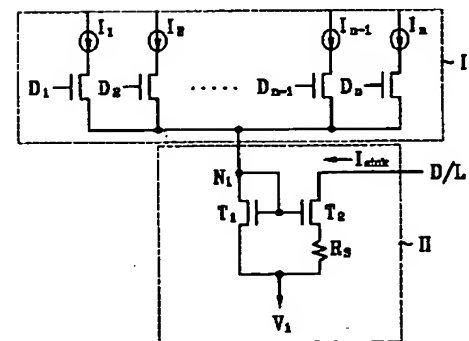
【図 6】



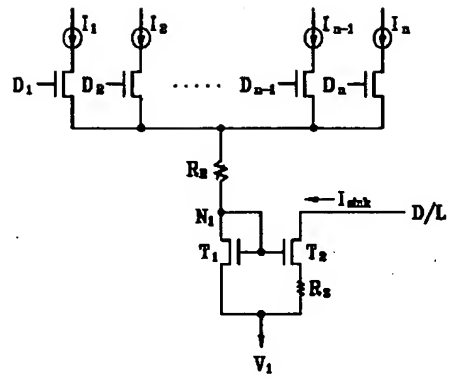
【図 7】



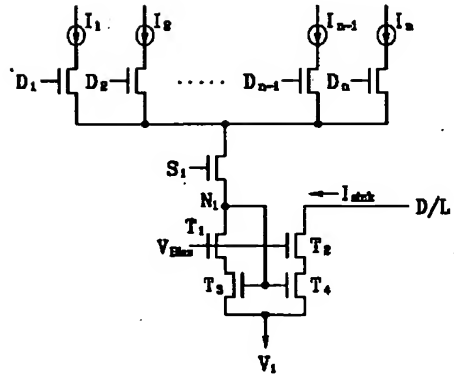
【図 8】



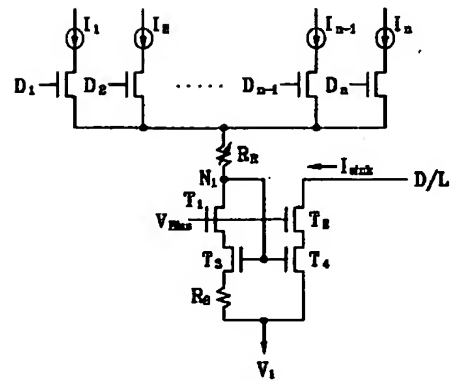
【☒ 10】



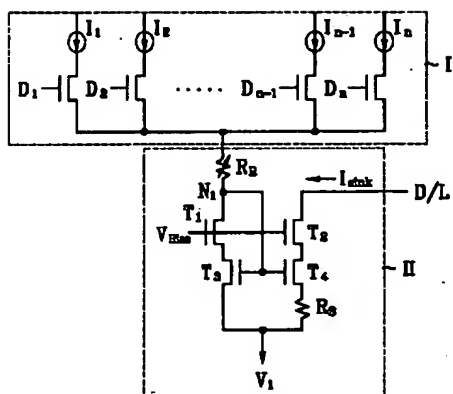
【図 12】



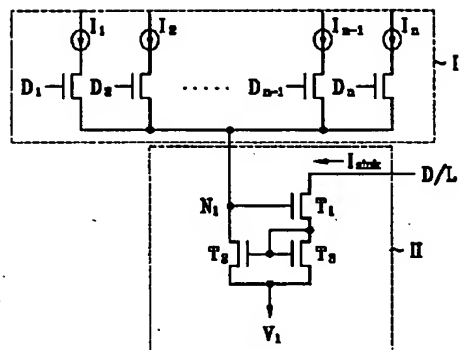
【図 14】



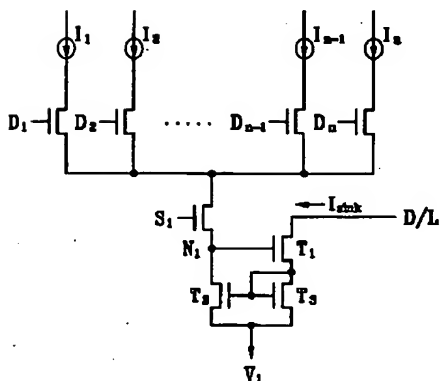
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 4 2

F I

G 0 9 G 3/20

テーマコード(参考)

6 4 2 L

(72) 発明者 リー, ハン サン

大韓民国 ソウル, グワナクーク, シリム

1-ドゥン, 1608-9, 202

(72) 発明者 パク ジュン キュー

大韓民国 ソウル, グワナクーク, シリム

1-ドゥン, 1630-17, 1-トソン 101-

ホ

Fターム(参考) 5C080 AA06 BB05 CC03 DD03 DD25

EE30 FF11 JJ02 JJ03